

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-132682

(P2003-132682A)

(43) 公開日 平成15年5月9日 (2003.5.9)

(51) Int.Cl.	識別記号	F I	テ-マ-ト*(参考)
G 1 1 C	11/409	G 1 1 C 11/34	3 5 3 C 5 F 0 8 3
	11/401		3 5 2 E 5 M 0 2 4
H 0 1 L	21/8242	H 0 1 L 27/10	3 2 1
	27/108		

審査請求 未請求 請求項の数22 O L (全 11 頁)

(21) 出願番号 特願2002-76374(P2002-76374)
(22) 出願日 平成14年3月19日 (2002.3.19)
(31) 優先権主張番号 特願2001-248122(P2001-248122)
(32) 優先日 平成13年8月17日 (2001.8.17)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72) 発明者 藤 田 勝 之
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内
(74) 代理人 100075812
弁理士 吉武 賢次 (外5名)

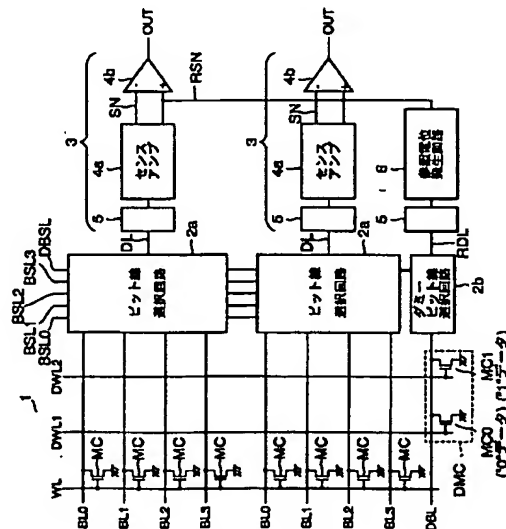
最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 電流読み出し型のメモリセルを用いた場合の好ましいデータセンス回路を備えた半導体メモリ装置を提供する。

【解決手段】 半導体メモリ装置は、メモリセルアレイ (1) と、基準電流 (I_{ref}) を発生する基準電流発生回路 (DMC) と、前記基準電流発生回路が発生した前記基準電流 (I_{ref}) に基づいて、参照ノード (R_{SN}) に参照電位を発生する、参照電位発生回路 (6) と、選択されたメモリセルのセル電流 (I_{cell}) に基づいて出力電流を生成して、この出力電流と前記基準電流とに基づいて、センスノード (S_N) にデータ電位を発生する、第1のセンス回路 (4a) と、前記センスノードのデータ電位と前記参照ノードの参照電位とを比較して、前記選択されたメモリセルが保持しているデータを検出する、第2のセンス回路 (4b) と、を備えている。



【特許請求の範囲】

【請求項1】データを保持するメモリセルが配列された、メモリセルアレイと、
基準電流を発生する基準電流発生回路と、
前記基準電流発生回路が発生した前記基準電流に基づいて、参照ノードに参照電位を発生する、参照電位発生回路と、
選択されたメモリセルのセル電流に基づいて出力電流を生成して、この出力電流と前記基準電流とに基づいて、センスノードにデータ電位を発生する、第1のセンス回路と、
前記センスノードのデータ電位と前記参照ノードの参照電位とを比較して、前記選択されたメモリセルが保持しているデータを検出する、第2のセンス回路と、
を備えることを特徴とする半導体メモリ装置。

【請求項2】前記メモリセルは、フローティングのチャネルボディを有するMISFETであり、
前記メモリセルは、前記チャネルボディを第1の電位に設定した第1データ状態と第2の電位に設定した第2データ状態とを有する、
ことを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】前記基準電流発生回路は、複数のMISFETを備えており、前記基準電流発生回路のMISFETの構造は、前記メモリセルのMISFETの構造と同じである、ことを特徴とする請求項2に記載の半導体メモリ装置。

【請求項4】前記基準電流発生回路は、
前記第1データ状態に設定されるN個(Nは自然数)の第1のMISFETと、
前記第2データ状態に設定されるN個の第2のMISFETと、
を備えており、
前記第1のMISFET及び前記第2のMISFETの構造は、前記メモリセルのMISFETの構造と同じである、ことを特徴とする請求項2に記載の半導体メモリ装置。

【請求項5】前記第1のMISFETを所定周期毎に第1データ状態に設定し、前記第2のMISFETを所定周期毎に第2データ状態に設定する、設定回路をさらに備える、ことを特徴とする請求項4に記載の半導体メモリ装置。

【請求項6】前記メモリセルは、フローティングのチャネルボディを有するMISFETであり、
前記メモリセルは、ドレインがビット線に、ゲートがワード線にそれぞれ接続されて、チャネルボディを第1の電位に設定した第1データ状態と第2電位に設定した第2のデータ状態とを有する、
ことを特徴とする請求項1記載の半導体メモリ装置。

【請求項7】前記第1データ状態は、前記メモリセルを5極管動作させ、ドレイン接合近傍でインバクトイオン

化を起こして生成した多数キャリアをチャネルボディに保持することにより設定され、

前記第2データ状態は、前記メモリセルのチャネルボディとドレインとの接合に順バイアス電流を流してチャネルボディの多数キャリアを放出することにより設定される、

ことを特徴とする請求項6記載の半導体メモリ装置。

【請求項8】前記基準電流発生回路は、複数のMISFETを備えており、前記基準電流発生回路のMISFETの構造は、前記メモリセルのMISFETの構造と同じである、ことを特徴とする請求項7に記載の半導体メモリ装置。

【請求項9】前記基準電流発生回路は、
前記第1データ状態に設定されるN個(Nは自然数)の第1のMISFETと、
前記第2データ状態に設定されるN個の第2のMISFETと、
を備えていることを特徴とする請求項8に記載の半導体メモリ装置。

【請求項10】前記第1のMISFETのゲートは第1のダミーワード線に接続され、ドレインはダミービット線に接続されており、
前記第2のMISFETのゲートは第2のダミーワード線に接続され、ドレインは前記ダミービット線に接続されている、

ことを特徴とする請求項9に記載の半導体メモリ装置。

【請求項11】前記参照電位発生回路は、
前記ダミービット線の電流源負荷となる第1のpチャネルMISFETと、

この第1のpチャネルMISFETと共にカレントミラー回路を構成してドレインが前記参照ノードに接続された、第2のpチャネルMISFETと、
ゲートとドレインが前記参照ノードに共通接続され、ソースが第1の基準電位に接続された第1のnチャネルMISFETと、

を備えて構成されていることを特徴とする請求項10に記載の半導体メモリ装置。

【請求項12】前記第2のpチャネルMISFETは、
前記第1のpチャネルMISFETのP倍(Pは正の任意数)の電流を流すように寸法が設定されている、ことを特徴とする請求項11に記載の半導体メモリ装置。

【請求項13】前記第1のセンス回路は、
前記ビット線の電流源負荷となる第3のpチャネルMISFETと、

この第3のpチャネルMISFETと共にカレントミラー回路を構成してドレインが前記センスノードに接続された、第4のpチャネルMISFETと、
ドレインが前記センスノードに接続され、ソースが第1の基準電位に接続され、ゲートが前記参照ノードに接続された、第2のnチャネルMISFETと、

を備えていることを特徴とする請求項12に記載の半導体メモリ装置。

【請求項14】前記第4のpチャネルMISFETは、第3のpチャネルMISFETのQ倍の電流を流すように寸法が設定されており、

前記第2のnチャネルMISFETは、前記第1のnチャネルMISFETと同じ寸法に設定されている、ことを特徴とする請求項13に記載の半導体メモリ装置。

【請求項15】前記参照電位発生回路は、データセンス前に、ダミービット線を第2の基準電位に設定する第1のプリチャージ用MISFETをさらに備え、前記第1のセンス回路は、データセンス前に、ビット線を第2の基準電位に設定する第2のプリチャージ用MISFETをさらに備える、ことを特徴とする請求項14に記載の半導体メモリ装置。

【請求項16】前記第1のセンス回路と前記ビット線の間に設けられた、ビット線の電位上昇を抑制する、第1のクランプ回路と、前記参照電位発生回路と前記ダミービット線の間に設けられた、ダミービット線の電位上昇を抑制する、第2のクランプ回路と、をさらに備えることを特徴とする請求項14に記載の半導体メモリ装置。

【請求項17】前記第1のクランプ回路は、ビット線の電位により負帰還制御される第3のnチャネルMISFETを備えており、前記第2のクランプ回路は、ダミービット線の電位により負帰還制御される第4のnチャネルMISFETを備えている、ことを特徴とする請求項16に記載の半導体メモリ装置。

【請求項18】前記第1のクランプ回路は、ゲートに固定バイアス電位が与えられた第5のnチャネルMISFETを備えており、前記第2のクランプ回路は、ゲートに固定バイアス電位が与えられた第6のnチャネルMISFETを備えている、ことを特徴とする請求項16に記載の半導体メモリ装置。

【請求項19】前記第2のセンス回路の出力に、前記第2のセンス回路が検出したデータを保持するデータ保持回路をさらに備える、ことを特徴とする請求項14に記載の半導体メモリ装置。

【請求項20】前記第1のMISFETを所定周期毎に第1データ状態に設定し、前記第2のMISFETを所定周期毎に第2データ状態に設定する、設定回路をさらに備える、ことを特徴とする請求項14に記載の半導体メモリ装置。

【請求項21】前記基準電流発生回路及び前記参照電位発生回路は、複数の前記第1のセンス回路及び前記第2のセンス回路で共有される、ことを特徴とする請求項1に記載の半導体メモリ装置。

【請求項22】前記第1のセンス回路は、ビット線選択回路により複数のビット線のなかから選択されたビット線に接続される、ことを特徴とする請求項1に記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、セル電流の有無又は大小によりデータが判定される、電流読み出し型のメモリセルを持つ半導体メモリ装置に係り、特にデータセンス回路に関する。

【0002】

【従来の技術】従来のDRAMは、MISFETとキャパシタによりメモリセルが構成されている。DRAMの微細化は、トレンチキャパシタ構造やスタックドキャパシタ構造の採用により、大きく進んでおり、現在単位セルサイズは、最小加工寸法をFとして、 $8F^2$ の面積まで縮小されている。しかし、従来と同様のセルサイズ縮小のトレンドを確保することは、困難になりつつある。トランジスタを縦型にしなければならないといった技術的困難、隣接セル間の干渉が大きくなるといった問題、加工や成膜等の製造技術上の困難等のためである。

【0003】これに対して、キャパシタを用いることなく、1トランジスタをメモリセルとするDRAMも、以下に挙げるように提案されている。

【0004】(1) JOHN E. LEISS et al, "dRAM Design Using the Taper-Isolated Dynamic Cell" (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-17, NO. 2, APRIL 1982, pp337-344)

(2) 特開平3-171768号公報

(3) Marnix R. Tack et al, "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 37, MAY, 1990, pp1373-1382)

(4) Hsing-jen Wann et al, "A Capacitorless DRAM Cell on SOI Substrate" (IEDM 93, pp635-638)

(1)のメモリセルは、埋め込みチャネル構造のMOSトランジスタを用いて構成される。素子分離絶縁膜のテーパー部に形成される寄生トランジスタを利用して、表面反転層の充放電を行い、二値記憶を行う。

【0005】(2)のメモリセルは、個々にウェル分離されたMOSトランジスタを用い、MOSトランジスタのウェル電位により決まるしきい値を二値データとする。

【0006】(3)のメモリセルは、SOI基板上的のMOSトランジスタにより構成される。SOI基板の側から大きな負電圧を印加してシリコン層の酸化膜と界面部

でのホール蓄積を利用し、このホールの放出、注入により二値記憶を行う。

【0007】(4)のメモリセルは、SOI基板上のMOSトランジスタにより構成される。MOSトランジスタは構造上一つであるが、ドレイン拡散層の表面に重ねて逆導電型層が形成され、実質的に書き込み用PMOSトランジスタと読み出し用NMOSトランジスタを一体に組み合わせた構造としている。NMOSトランジスタの基板領域をフローティングのノードとして、その電位により二値データを記憶する。

【0008】しかし、(1)は構造が複雑であり、寄生トランジスタを利用していることから、特性の制御性にも難点がある。(2)は、構造は単純であるが、トランジスタのドレイン、ソース共に信号線に接続して電位制御する必要がある。また、ウェル分離であるため、セルサイズが大きく、しかもビット毎の書き換えができない。(3)では、SOI基板側からの電位制御を必要としており、従ってビット毎の書き換えができず、制御性に難点がある。(4)は特殊トランジスタ構造を必要とし、またメモリセルには、ワード線、ライトビット線、

リードビット線、バージ線を必要とするため、信号線数が多くなる。

【0009】
【発明が解決しようとする課題】また、従来提案されている1トランジスタのメモリセルは、キャパシタによる電荷の蓄積を利用してデータ記憶する方式と基本的に異なり、チャンネルボディの電位差によるゲートしきい値の差によりデータ記憶を行う。このため、1トランジスタのメモリセルにおいては、メモリセルを流れるセル電流の有無又は大小を検出して、そのメモリセルが記憶しているデータを判別する必要がある。つまり、1トランジスタのメモリセルは、電流読み出し型のメモリセルとなる。

【0010】この発明は、電流読み出し型のメモリセルを用いた場合の好ましいデータセンス回路を備えた半導体メモリ装置を提供することを目的としている。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体メモリ装置は、データを保持するメモリセルが配列された、メモリセルアレイと、基準電流を発生する基準電流発生回路と、前記基準電流発生回路が発生した前記基準電流に基づいて、参照ノードに参照電位を発生する、参照電位発生回路と、選択されたメモリセルのセル電流に基づいて出力電流を生成して、この出力電流と前記基準電流とに基づいて、センスノードにデータ電位を発生する、第1のセンス回路と、前記センスノードのデータ電位と前記参照ノードの参照電位とを比較して、前記選択されたメモリセルが保持しているデータを検出する、第2のセンス回路と、を備えることを特徴とする。

【0012】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【0013】図1は、この発明の実施の形態によるDRAMのセルアレイ1とこれに接続されるデータセンス回路3の構成を示している。DRAMセルMCは、フローティングのチャンネルボディを持つ一つのMISFETにより構成される。nチャンネルMISFETを用いた場合のDRAMセル構造を図4に示す。シリコン基板10にシリコン酸化膜等の絶縁膜11により、このシリコン基板10と分離されたp型シリコン層12をチャンネルボディとして、ゲート絶縁膜13を介して形成されたゲート電極14と、ソース及びドレインとなるn型拡散層15、16を有する。

【0014】メモリセルアレイ1は、図5に示すように構成される。即ち、DRAMセルMCは、それぞれ他から分離されたフローティングのチャンネルボディを持ち、ソースを基準電位（接地電位）として、一方向に並ぶDRAMセルのゲートはワード線WLに接続され、これと交差する方向に並ぶDRAMセルのドレインはビット線BLに接続される。

【0015】DRAMセルMCは、チャンネルボディとなるp型シリコン層12を、第1の電位に設定した第1データ状態と、第2の電位に設定した第2のデータ状態とをダイナミックに記憶する。具体的に、第1データ状態は、選択ワード線WL及び選択ビット線BLに高レベル電圧を与え、選択されたDRAMセルを5極管動作させ、そのドレイン接合近傍でインパクトイオン化を起こして生成した多数キャリア（nチャンネルの場合、ホール）をチャンネルボディに保持することにより書き込まれる。これが例えば、データ“1”である。第2データ状態は、選択ワード線WLに高レベル電圧を与えて容量結合によりチャンネルボディ電位を高くし、選択ビット線BLを低レベルとして、選択されたDRAMセルのチャンネルボディとドレインとの接合に順バイアス電流を流してチャンネルボディの多数キャリアをドレインに放出することにより書き込まれる。これが例えばデータ“0”である。

【0016】データ“1”、“0”は、MISFETのゲートしきい値の差として表れる。

【0017】即ち、データ“1”、“0”と、チャンネルボディ電位VBとゲート電圧VGの関係は図8のようになり、チャンネルボディ電位による基板バイアスの結果として、“1”の場合のしきい値電圧Vth1は、“0”の場合のしきい値電圧Vth0より低くなる。従ってデータ読み出しは、しきい値電圧の差によるセル電流の差を検出することにより、判定することができる。

【0018】図4のDRAMセル構造に対して、変形を加えたセル構造を図6に示す。これは、ゲート電極14に対して、p型シリコン層12（チャンネルボディ）に容

量結合する補助ゲート電極21を設けたものである。この例では、補助ゲート21は、絶縁膜11内に埋設されて、p型シリコン層12の底面にゲート絶縁膜20を介して対向する。

【0019】この様なセル構造を用いた場合のセルアレイ1は、図7のようになる。補助ゲートは、主ゲート電極14を接続するワード線WL1と並行する補助ワード線WL2に接続される。この様なセルアレイ構成として、主ワード線WL1に対して補助ワード線WL2を、低電圧側にオフセットさせた状態で、主ワード線WL1と同期させて駆動する。この様な補助ワード線WL2の容量結合によるチャネルボディの電位制御を行うことにより、“0”、“1”データのボディ電位差を確保することが容易になる。

【0020】この実施の形態のDRAMセルMCは、上述のように電流読み出し型であるから、データセンスのためには、セル電流の大きさを基準電流との比較により判定する。そのための基準電流源として、図1に示すように、ダミーセルDMCが用意される。通常この種のダミーセルDMCとしては、DRAMセルが“1”データのセル電流 I_{cell1} と、“0”データのセル電流 I_{cell0} との中間の基準電流が流れるように設計されるが、この実施の形態では、ダミーセルDMCは、複数のビット線に一本ずつ設けられるダミービット線DBLにドレインが並列接続された、DRAMセルMCと同様の構造を持つ二つのMISFETにより構成される。

【0021】一方のMISFET-MC0は、“0”データが書かれたものとし、他方のMISFET-MC1は、“1”データが書かれたものとする。これらのMISFET-MC0、MC1のゲートはそれぞれダミーワード線DWL1、DWL2に接続される。ダミーワード線DWL1、DWL2は、データセンス時は、選択されたワード線と同時に選択駆動される。従って、ダミービット線DBLに流れる参照電流 I_{ref} は、 $I_{ref} = I_{cell0} + I_{cell1}$ となる。これに対応して、データセンス回路3では、後に詳細に説明するが、検出されるセル電流 I_{cell} の2倍のセル電流 $2 \times I_{cell}$ を生成して、これを上述の参照電流 I_{ref} と比較する。

【0022】データセンス回路3は、図1に示すように、ビット線選択回路2aを介してセルアレイ1のビット線BLに接続される。ビット線選択回路2aは、複数のビット線から1本を選択するマルチプレクサである。図の例では、ビット線選択回路2aは、選択信号BSL0~BSL3により、4本のビット線BL0~BL3の一本を選択する。複数のデータセンス回路3は、複数のビット線毎に配置されたダミービット線DBLに接続される参照電位発生回路6を共有する。参照電位発生回路6は、上述したダミーセルDMCによる参照電流 I_{ref}

fに対応した参照電位を参照ノードRSNに発生するものである。初段センスアンプ4aは、上述した2倍のセル電流 $2 \times I_{cell}$ を生成して、これを参照電流 I_{ref} と比較して、センスノードSNにデータに応じて電位を生成する。そして、第2のセンスアンプ4bが、センスノードSNと参照ノードRSNの電位差を検出するように設けられている。

【0023】なお、各センスアンプ4aとデータ線DL（ビット線選択回路2aによりビット線BLに接続される）の間、及び参照電位発生回路6と参照データ線RDL（ダミービット線選択回路2bによりダミービット線DBLに接続される）の間には、それぞれビット線BLおよびダミービット線DBLのデータセンス時の電位上昇を抑制するためのクランプ回路5が設けられている。このクランプ回路5は、DRAMセルMCおよびダミーセルDMCにおいて、データ読み出し時に誤書き込みを防止し、具体的には、データセンス時選択メモリセルやダミーセルが3極管動作するように、ビット線やダミービット線電位を低く抑える。

【0024】図2Aは、データセンス回路3の具体的な構成を、一系統のみにについて示している。クランプ回路5は、初段センスアンプ4aの入力端子NOとデータ線DLの間、参照電位発生回路6の入力端子RNOと参照データ線RDLの間にそれぞれ挿入されたnチャネルMISFET-QN1と、そのゲートをそれぞれデータ線DLおよび参照データ線RDLの電位に応じて負帰還制御するオペアンプOPとを備えて構成されている。

【0025】即ち、データ線DL及び参照データ線RDLの電位が低い間は、nチャネルMISFET-QN1がオンして、初段センスアンプ4aの入力端子NOとデータ線DLの間、参照電位発生回路6の入力端子RNOと参照データ線RDLの間は短絡されている。オペアンプOPの非反転入力端子には正のバイアス電圧VBPが与えられており、データ線DL又は参照データ線RDLがVBPを越えると、オペアンプOPの出力は“L”レベルとなり、nチャネルMISFET-QN1がオフになって、それ以上の電位上昇が抑えられることになる。

【0026】DRAMセルは前述のように、データ書き込み時、選択ワード線WLに高レベル電圧（例えば電源電圧Vdd）が与えられ、選択ビット線BLにも高レベル電圧（例えば電源電圧Vdd）が与えられて、5極管動作を行う。データ読み出し時、選択ワード線WLに同様に電源電圧Vddを与えるものとし、選択セルに電流が流れずに、選択ビット線BLの電位がVddまで上昇したとすると、書き込みモードと同じ条件になってしまう。これに対して、VBPを電源電圧Vddより低い値に設定する。例えば、電源電圧Vddを2~3Vとして、VBP=200mV程度にする。この様に設定すれば、データセンス時、DRAMセルMCやダミーセルDMCは5極管動作することなく、“1”書き込みの条件

を満たさないようにすることができる。

【0027】参照電位発生回路6は、活性化用のpチャネルMISFET-QP21を介してソースが共通に高レベル電位端子VINTに接続された、カレントミラー回路を構成するpチャネルMISFET-QP22、QP23を有する。ダミービット線の電流源負荷となるMISFET-QP22は、ドレインとゲートが共通に入力端子RNOに接続され、MISFET-QP23のドレインは参照ノードRSNに接続されている。参照ノードRSNと接地端子の間には、ダイオード接続されたn

チャネルMISFET-QN23が設けられている。入力端子RNOと接地端子の間には、プリチャージ用のnチャネルMISFET-QN21が設けられている。

【0028】初段センスアンプ4aは、活性化用のpチャネルMISFET-QP11を介してソースが共通に高レベル電位端子VINTに接続された、カレントミラー回路を構成するpチャネルMISFET-QP12、QP13を有する。ビット線の電流源負荷となるMISFET-QP12はドレインとゲートが共通に入力端子NOに接続され、MISFET-QP13のドレインは

センスノードSNに接続されている。センスノードSNと接地端子の間には、参照ノードRSNによりゲートが制御されるnチャネルMISFET-QN12が設けられている。入力端子NOと接地端子の間には、プリチャージ用のnチャネルMISFET-QN11が設けられている。

【0029】参照電位発生回路6では、カレントミラーを構成するMISFET-QP22、QP23は、同じ寸法を有するものとする。すなわち、MISFET-QP22のチャネル幅WとMISFET-QP23のチャネル幅Wは同じであり、MISFET-QP22のチャネル長LとMISFET-QP23のチャネル長Lとは

同じである。これにより、データセンス時、電流源MISFET-QP22によりダミーセルDMCに流れるセル電流がIrefのとき、出力用MISFET-QP23にも、Irefなる参照電流が流れる。参照ノードRSNにはこの参照電流Irefにより決まる参照電位が得られる。

【0030】一方、初段センスアンプ4aのカレントミラーを構成するMISFET-QP12、QP13は、

参照電位発生回路6側と異なり、QP13のチャネル幅W/チャネル長Lの比W/Lが、QP12の2倍に設定されている。これにより、データセンス時、電流源MISFET-QP12によりメモリセルMCに流れるセル電流がIcell1のとき、出力用MISFET-QP13には、2×Icell1なる出力電流が流れる。

【0031】参照電位発生回路6のMISFET-QN23とセンスアンプ4aのMISFET-QN12はまたカレントミラーを構成しており、本実施形態においては、これらを同じ寸法としている。すなわち、MISF

ET-QN23のチャネル幅WとMISFET-QN12のチャネル幅Wは同じであり、MISFET-QN23のチャネル長LとMISFET-QN12のチャネル長Lとは同じである。このため、センスノードSNでは、電流2×Icell1とIrefとの衝突により、それらの大小で決まる電位が得られることになる。

【0032】前述のように、ダミービット線DBLに流れる参照電流Irefは、“0”データのセル電流をIcell0、“1”データのセル電流をIcell1として、数1で表される。

【0033】(数1)

$$I_{ref} = I_{cell0} + I_{cell1}$$

上述したように、“0”データのセルはしきい値が高いので、大きなセル電流が流れず、“1”データのセルはしきい値が低いので大きなセル電流が流れる。つまり、Icell0とIcell1との関係は、Icell0 < Icell1となる。センスアンプ4aの出力電流は、2×Icell1であるから、選択セルの“0”、“1”データに応じて、参照電流Irefとの関係は、次のようになる。

【0034】(数2)

データ“0”のとき、 $2 \times I_{cell1} = 2 \times I_{cell0} < I_{ref}$

データ“1”のとき、 $2 \times I_{cell1} = 2 \times I_{cell1} > I_{ref}$

$2 \times I_{cell1}$ の方がIrefより小さい場合、MISFET-QN12をオンにして電流Irefを流そうとする力の方が、MISFET-QP13をオンにして電流2×Icell1を流そうとする力よりも、強いこととなる。このため、センスノードSNの電位は、グラウンド側に引っ張られて、下がることとなる。

【0035】一方、 $2 \times I_{cell1}$ の方がIrefより大きい場合、MISFET-QP13をオンにして電流2×Icell1を流そうとする力の方が、MISFET-QN12をオンにして電流Irefを流そうとする力よりも、強いこととなる。このため、センスノードSNの電位は、高レベル電位端子VINT側に引っ張られて、上がることとなる。

【0036】このことから分かるように、センスノードSNと参照ノードRSNの電位差は、データに応じて極性が異なる。この電位差を、2段目センスアンプ4bにより検出する。2段目センスアンプ4bは図2Aの例では、コンパレータであり、センスノードSNの参照ノードRSNに対する“H”、“L”に応じて、“L”、“H”のセンス出力OUTを出すことになる。

【0037】なお、センスアンプ4aの出力電流と参照電位発生回路6の出力電流の間で上述した関係を満たすためには、より一般的には、参照電位発生回路6のMISFET-QP23がMISFET-QP22のP倍（Pは正の任意数）の電流を流すように寸法を設定し、

一方、センスアンプ4aでは、MISFET-QP13がMISFET-QP12のQ倍(但し、Q/Pが2)の電流を流すように寸法を設定すればよい。

【0038】この実施の形態では、2段目センスアンプ4bの出力OUTには、センスデータを所定のタイミング信号で取り込んで保持するデータ保持回路7が設けられている。本実施の形態では、データ保持回路7は、インバータINV1及びINV2を備えている。インバータINV1の出力は、インバータINV2に入力され、このインバータINV2の出力は、インバータINV1 10に入力される。したがって、インバータINV1の出力がこのデータ保持回路7の出力となる。そして、このデータ保持回路7に保持されたデータが、カラム選択線CSLにより駆動されるカラムゲートMISFET-QN41を介してデータ線DQに転送される。

【0039】データ保持回路7の出力には、その保持データに基づいて、所定のリフレッシュサイクルでメモリセルデータをリフレッシュするためのリフレッシュ回路8が設けられている。リフレッシュ回路8は、データ保持回路7の保持データを、リフレッシュ制御信号REFRESHにより制御されてデータ線DLに帰還するnチャネルMISFET-QN31により構成される。即ち、“0”、“1”データ読み出し時、データ保持回路7はそれぞれ、“L”、“H”出力状態となり、これがMISFET-QN31を介し、データ線DLを介してビット線BLに転送される。データ保持回路7の

“L”、“H”出力状態をそれぞれ、“0”書き込み時のビット線“L”レベル電位VBL_L、“1”書き込み時のビット線“H”レベル電位VBL_Hとして、これがそのまま転送されるようにすれば、選択されたDRAMセルでデータがリフレッシュされる。

【0040】ダミーセルDMCには、二つのMISFETがあり、定期的にこれらに“0”、“1”データを書き込むことが必要である。このため、データ線DQを介して、“0”、“1”データをダミーセルのMISFET-MC0、MC1に書き込むための書き込み回路を構成するMISFET-QN42が、データ線DQと参照データ線RDLの間に設けられている。

【0041】但し、図2Aでは、一系統のセンスアンプと参照電位発生回路のみ示しているが、実際には図1に示すように、参照電位発生回路6を共有して複数系統のセンスアンプがある。この場合、リフレッシュ回路8は、各センスアンプ系毎に必要である。

【0042】また、図2Bに示すように、適当なレベル変換回路LSCをリフレッシュ回路8の経路に設け、リフレッシュの際のビット線BLの電位を、読み出しデータを保持するデータ保持回路7の電位と、異なるようにしてもよい。例えば、データ保持回路7がデータ“1”を保持している場合、レベル変換回路LSCは、MISFET-QN31を通じて供給されたこのデータ保持回

路7の電位を、より高い電位にシフトして、データ線DLに供給するようにしてもよい。一方、データ保持回路7がデータ“0”を保持している場合、レベル変換回路LSCは、MISFET-QN31を通じて供給されたこのデータ保持回路7の電位を、より低い電位にシフトして、データ線DLに供給するようにしてもよい。

【0043】図3Aのタイミング図を参照して、この実施の形態によるデータセンス動作を具体的に説明する。データセンス動作前、時刻t0までは、プリチャージ信号bSAON2が“H”であり、データ線DL、参照データ線RDLを介して、ビット線BL、ダミービット線DBLは、“L”レベル(接地電位)にプリチャージされる。時刻t0でプリチャージ動作を停止し、時刻t1で選択ワード線WLとダミーワード線DWL1、DWL2が“H”レベルに立ち上がる。時刻t2でセンスアンプ活性化信号bSAON1が“L”になると、初段センスアンプ4aおよび参照電位発生回路6は活性化され、セルデータに応じて、選択ビット線BLにセル電流I_{cel}が流れ、ダミービット線DBLにはダミーセル電流(参照電流I_{ref})が流れる。

【0044】“0”データのセルは、しきい値が高く、大きな電流が流れず、“1”データのセルは大きな電流を流す。一方ダミーセルDMCは、“0”、“1”データセルの並列接続になっているから、“1”データのセル電流I_{cel11}よりも大きな電流を流す。ビット線BL及びダミービット線DBLの電位は、セルの電流能力の如何に拘わらず、クランプ回路5により一定値にクランプされる。

【0045】上述したセル電流関係に基づいて、初段センスアンプ4aでは、セル電流2×I_{cel}と参照電流I_{ref}の比較により、センスノードSNには、“0”データの場合参照ノードFRSNより低く、“1”データの場合参照ノードFRSNより高い電位が得られる。そして、2段目センスアンプ4bによりセンスノードSNと参照ノードFRSNの電位差を判定して、“0”データの場合“L”、“1”データの場合“H”なるセンス出力OUTを得ることができる。

【0046】時刻t3でセンスアンプ4aおよび参照電位発生回路6を非活性とし、その後、データ保持回路7に保持されたデータをカラム選択により取り出すことができる。この動作は図3Aでは示しておらず、図3Aではこの後リフレッシュサイクルに入る例を示している。リフレッシュサイクルでは、読み出し時“H”とされたワード線WLは“H”を保持し、リフレッシュ制御信号REFRESHを“H”とする。

【0047】このとき、読み出しデータ“0”、“1”に応じてビット線BLに与えられる低レベル電位VBL_L及び高レベル電位VBL_Hを、それぞれ“0”、“1”書き込みに必要な電位とすれば、選択セルMCでは、読み出しデータが再度書き込まれリフレッシュされ

る。

【0048】このリフレッシュは、DRAMセルMCに対するリフレッシュであるが、本実施の形態においては、DRAMセルMCに対するリフレッシュを開始する前、又は、すべてのDRAMセルMCに対するリフレッシュが終了した後に、ダミーセルDMCのリフレッシュを行う。換言すれば、本実施の形態においては、リフレッシュ動作は、所定周期毎に行われる。

【0049】図3Bは、ダミーセルDMCのリフレッシュ動作を説明するためのタイミング図である。この図3Bに示すように、時刻 t_0 でダミーワード線DWL1が“H”レベルに立ち上がり、これより少し遅れた時刻 t_1 で、ダミービット線DBLが低レベル電位VBL_Lに下がる。この低レベル電位VBL_Lは、データ線DQから、ダミーカラム選択線DCSLにより駆動されるMISFET-QN42と、参照データ線RDLとを介して、ダミービット線DBLに伝えられる。これにより、ダミーセルDMCのMISFET-MC0に“0”が書き込まれて、リフレッシュされる。その後、時刻 t_2 でダミービット線DBLが低レベル電位VBL_Lから0V 20に降り、時刻 t_3 でダミーワード線DWL1が“H”レベルから“L”レベルに戻る。

【0050】続いて、時刻 t_4 でダミーワード線DWL2が“H”レベルに立ち上がり、これより少し遅れた時刻 t_5 で、ダミービット線DBLが高レベル電位VBL_Hに上がる。この高レベル電位VBL_Hは、データ線DQから、ダミーカラム選択線DCSLにより駆動されるMISFET-QN42と、参照データ線RDLとを介して、ダミービット線DBLに伝えられる。これにより、ダミーセルDMCのMISFET-MC1に“1” 30が書き込まれて、リフレッシュされる。その後、時刻 t_6 でダミービット線DBLが高レベル電位VBL_Hから0Vに降り、時刻 t_7 でダミーワード線DWL2が“H”レベルから“L”レベルに戻る。

【0051】このリフレッシュ動作により、ダミーセルDMCで、二つのMISFETが“0”と“1”を保持した状態が再書き込みされる。なお、上述したリフレッシュ制御信号REFRESHの生成や、ダミーワード線DWL1、DWL2、データ線DQ及びダミーカラム選択線DCSLの駆動は、リフレッシュ制御回路により行 40われる。

【0052】以上のようにこの実施の形態によれば、フローティングのチャネルボディを持つ単純な1トランジスタ構造のDRAMセルを用いて、チャネルボディを記憶ノードとするDRAMが得られる。データセンス回路は、基準電流源となるダミーセルを用意し、セル電流をそのダミーセルの電流と比較することにより、データを判定するようにしている。特に実施の形態では、ダミーセルとして、“0”データを書き込んだセルと“1”データを 50書き込んだセルの二つを併設して、このダミーセ

ルにより決まる参照電流I_{ref}を基準として、セル電流I_{cel}の2倍の電流2×I_{cel}の大小比較を行っている。これにより、“0”、“1”のセル電流の差が小さいようなDRAMセルの場合であっても、確実なデータ判定が可能になる。

【0053】また、データセンス時のビット線、ダミービット線の電位上昇を抑えるクランプ回路を設けることにより、読み出し動作において、選択セルやダミーセルが“1”書き込みの条件を満たすことがなく、誤書き込みが防止される。また、電流読み出し型のメモリセルを用いたEEPROM等の不揮発性半導体メモリでは、例えばビット線を電源電圧V_{dd}にプリチャージする方式が用いられるが、この実施の形態のDRAMセルで同様のプリチャージ方式を用いたとすると、ワード線を立ち上げたときに5極管動作して誤書き込みが生じる。これに対してこの実施の形態では、ビット線プリチャージを接地電位として、セル電流検出を行うようにしているため、誤書き込みが防止される。

【0054】図9は、別の実施の形態によるデータセンス回路の要部構成を、図2Aと対応させて示している。この実施の形態では、クランプ回路5のnチャネルMISFET-QN1のゲートに固定のバイアス電圧BIASを与えている。このクランプ方式の場合、ビット線及びダミービット線の電位上昇を、BIAS-V_{th}(V_{th}:QN1のしきい値電圧)に抑えることができる。従って、バイアス電圧BIASを選択することにより、 55確実に誤書き込みを防止することが可能になる。

【0055】この発明は上記実施の形態に限られない。例えば実施の形態では、ダミーセルとして、“0”、“1”データが書かれた一個ずつのセルトランジスタにより構成したが、それぞれ複数個ずつとしてもよい。これにより、“0”、“1”データのセル電流のばらつきを平均化した参照電流を発生させることができ、より確実なデータ判定が可能になる。

【0056】一般にN対のセルトランジスタの併設によりダミーセルを構成すると、参照電流は、I_{ref}=N(I_{cel10}+I_{cel11})となる。ここで、Nは自然数である。このとき、参照電位発生回路6を上記実施の形態と同様に、1対1のカレントミラーによる出力電流を生成するものとした場合、初段センスアンプ4aのカレントミラーは、1対2Nの電流比となるように設計すればよい。

【0057】より一般的には、N対のセルトランジスタによりダミーセルを構成した場合、参照電位発生回路6のMISFET-QP23がMISFET-QP22のP倍(Pは正の任意数)の電流を流すように寸法を設定し、一方、センスアンプ4aでは、MISFET-QP13がMISFET-QP12のQ倍(但し、Q/Pが2N)の電流を流すように寸法を設定すればよい。

【0058】また上記実施の形態では、フローティング

のチャネルボディを記憶ノードとする一つのMISFETをDRAMセルとするDRAMを説明したが、実施の形態のデータセンス回路は、他の各種の電流読み出し型のメモリセルを用いた半導体メモリに対しても適用可能である。

【0059】

【発明の効果】以上述べたように、この発明によれば、電流読み出し型のメモリセルを用いた場合の好ましいデータセンス回路を備えた半導体メモリ装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態によるDRAMのセルアレイとデータセンス回路の構成を示す図である。

【図2A】図1の要部の具体的構成を示す図である。

【図2B】図2に示した要部の具体的構成の変形を示す図である。

【図3A】同データセンス回路の動作を説明するためのタイミング図である。

【図3B】ダミーセルに対するリフレッシュ動作を説明するためのタイミング図である。

【図4】実施の形態のDRAMセルの構造を示す図であ*

る。

【図5】同DRAMセルのセルアレイ構成を示す図である。

【図6】実施の形態の他のDRAMセル構造を示す図である。

【図7】同DRAMセルのセルアレイ構成を示す図である。

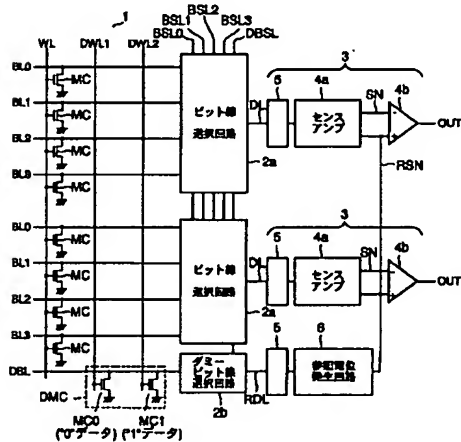
【図8】実施の形態のDRAMセルのチャネルボディ電位とゲート電位の関係を示す図である。

10 【図9】他の実施の形態によるDRAMの要部構成を示す図である。

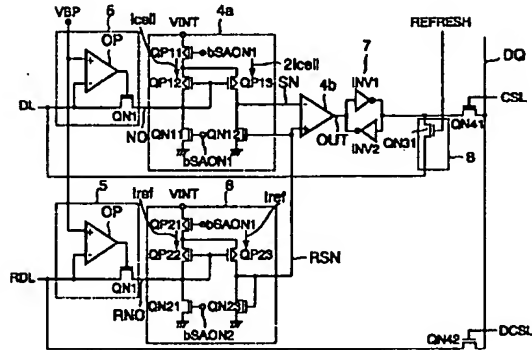
【符号の説明】

- 1 DRAMセルアレイ
- 2 a ビット線選択回路
- 3 データセンス回路
- 4 a 初段センスアンプ
- 4 b 2段目センスアンプ
- 5 クランプ回路
- 6 参照電位発生回路
- 20 7 ラッチ回路
- 8 リフレッシュ回路

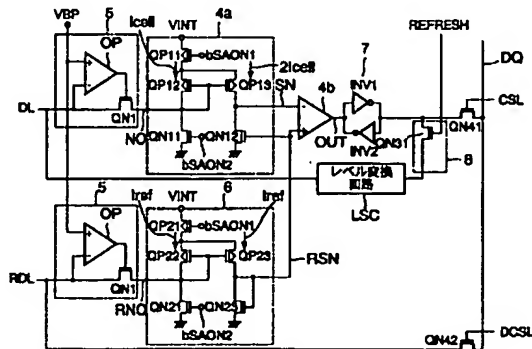
【図1】



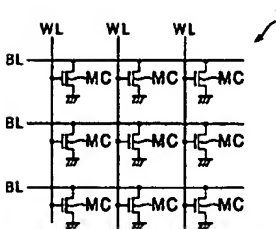
【図2A】



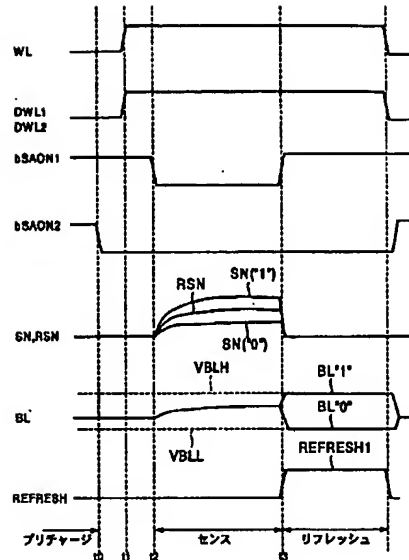
【図2B】



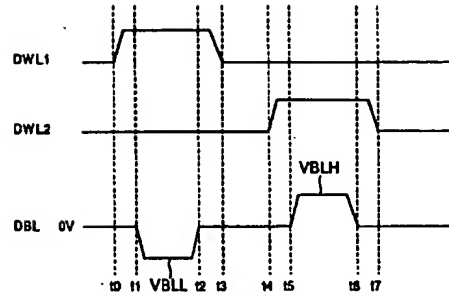
【図5】



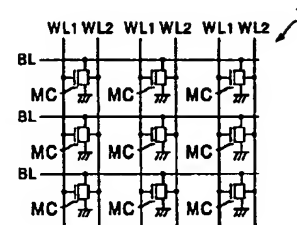
【図3A】



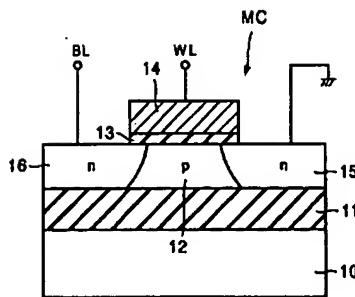
【図3B】



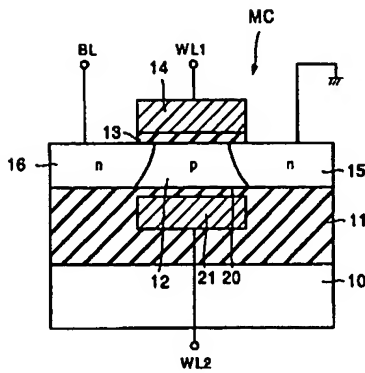
【図7】



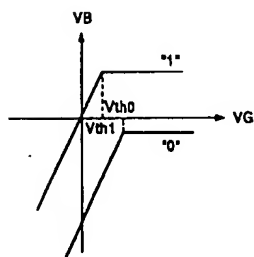
【図4】



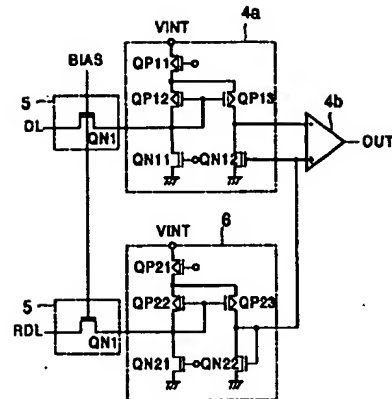
【図6】



【図8】



【図9】



フロントページの続き

(72)発明者 大 澤 隆
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内

Fターム(参考) 5F083 AD69 GA11 HA02 LA03
 5M024 AA40 BB14 BB15 BB35 CC18
 CC20 CC57 CC72 FF07 HH01
 PP01 PP02 PP03 PP05 PP07
 PP10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.